郑州轻工业大学

**实验报告**

**课程名称：** FPGA系统设计

**姓 名：** 原彬贺

**院 （系）：** 计算机与通信工程学院

**专业班级：** 计算机科学与技术2002

**学 号：** 542001020223

**指导教师：** 耿鑫

**成 绩：**

**时间：** 2022 **年** 6 **月** 24 **日**

目　　录

1任务与要求………………………………………………………… ……………… 1

2实验内容………………………………………………………… ……………… 1

3实验过程和结果………………………………………………………… ……………… 4

4. 总结和体会

# 设计任务和要求

**任务**：完成基于Verilog的双直流电机调速控制功能。

**要求**：Verilog语言编写程序，实现蜂鸣器奏乐功能，其中FPGA时钟为48Mhz，要求单独设计分频函数，主程序调用函数，并且完成PWM波产生及电机的调速控制。

# 实验内容

* 1. 掌握直流电机调速控制的原理；
  2. 使用Verilog语言编程，依次完成直流电机正反转及调速控制；
  3. 编写testbench文件，用Multisim仿真，输出波形图，并验证实验结果。

## 3 实验过程及结果

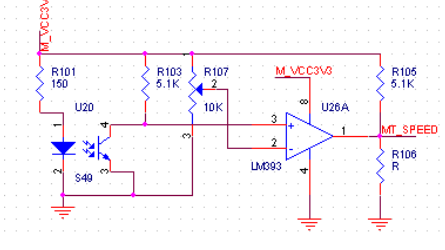
在QUARTUSII环境下，进行Verilog程序设计，完成直流电机调速控制，观察生成的RTL流图。

### 3.1直流电机调速的原理

1、 原理简介。

直流电机是非常简单的，只要将直流电机一端接地一端接 FPGA，然后让 FPGA 产生 PWM 波就能让电机起转，并通过调节占空比来控制转速。

测速电路相对来说复杂一些，图中 S49 是光电传感器，传感器上有发射端和接收端，发射 端发射红外光，码盘上黑白相间，遇到白色区域，红外光反射回接收端，3，4 间导通，4 端拉 为低电平，经比较器 lm393，MT\_SPEED 端输出低电平；如果遇到黑色区域，输出高电平； MT\_SPEED 端连接 FPGA，因此通过脉冲计数便可以测出转数



### 3.2 Verilog语言实现直流电机调速的代码设计

module da(clk,speed,a1,a2,b1,b2,d0,d1,d2,seg7,ledcom);

input speed,clk;

output a1,a2,b1,b2,d0,d1,d2;

output[7:0] seg7;

output[7:0] ledcom;

reg[7:0] seg7,seg;

reg[20:0] cnt,cnts,cntb;

reg [10:0] cntr;

reg[7:0] ledcom;

reg a2;

reg [1:0] temp;

assign a1=0;

always@(posedge clk)

begin

cntr<=cntr+1;

if(cntr<600)

a2<=1;

else

a2<=0;

end

assign d0=1;

assign d1=1;

assign d2=1;

always@(posedge clk)

begin

temp[0]<=speed;

temp[1]<=temp[0];

if(temp==2'b01)

begin

cntb<=cntb+1;

if(cnts==21'b111111111111111111111)

cnts<=0;

else

cnts<=cnts+1;

end

end

always@(posedge clk)

begin

if(cnt==21'b111111111111111111111)

cnt<=0;

else

cnt<=cnt+1;

end

always@(posedge clk)

begin

case(cnt[16:14])

3'b000:ledcom<=8'b00000001;//0

3'b001:ledcom<=8'b00000010;//1

3'b010:ledcom<=8'b00000100;//2

3'b011:ledcom<=8'b00001000;//3

3'b100:ledcom<=8'b00010000;//0

3'b101:ledcom<=8'b00100000;//1

3'b110:ledcom<=8'b01000000;//2

3'b111:ledcom<=8'b10000000;//3

endcase

end

always@(posedge clk)

begin

case(cnt[16:14])

3'b000:seg<=(cnts%100000000)/10000000;//0

3'b001:seg<=(cnts%10000000)/1000000;//1

3'b010:seg<=(cnts%1000000)/100000;//2

3'b011:seg<=(cnts%100000)/10000;//3

3'b100:seg<=(cnts%10000)/1000;//0

3'b101:seg<=(cnts%1000)/100;//1

3'b110:seg<=(cnts%100)/10;//2

3'b111:seg<=(cnts%10)/1;//3

endcase

end

always@(posedge clk)

begin

case(seg)

0:seg7<=8'b01111111;//0

1:seg7<=8'b00000111;//0

2:seg7<=8'b11011011;//1

3:seg7<=8'b11001111;//2

4:seg7<=8'b10100111;//3

5:seg7<=8'b11101101;//0

6:seg7<=8'b11111101;//1

7:seg7<=8'b01000111;//2

8:seg7<=8'b11111111;//3

9:seg7<=8'b11101111;//3

endcase

end

endmodule

3.3 实验结果分析（包括编译、波形仿真等）

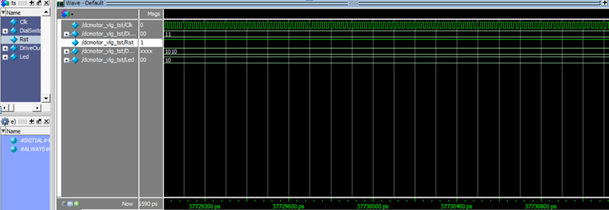


图1

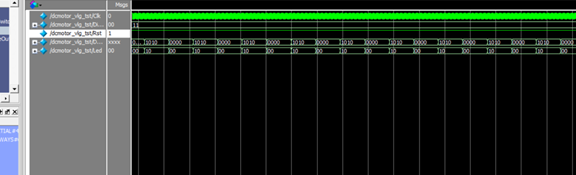


图2

将波形仿真图与测试文件中数据相对比，能够说明此实验较为成功。

# 4实验总结和心得

本次实验要求我们完成基于Verilog语言的双直流电机调速控制功能，要求我们掌握直流电机调速控制的原理、使用本学期所学的Verilog语言进行编程，以依次完成直流电机正反转及调速控制，并在最后编写testbench文件用Multisim进行仿真。在本次实验中，不仅对我在课堂上所学到的知识有了一个很好地回顾，也锻炼了我的实际操作能力，还让我意识到了自己的不足之处，以及时查漏补缺。